

F7

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-44277

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/32			G 0 6 F 1/00	3 3 2 B
15/78	5 1 0		15/78	5 1 0 P
H 0 3 K 19/00			H 0 3 K 19/00	A

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平7-189322

(22) 出願日 平成7年(1995)7月25日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 391024515

三菱電機セミコンダクタソフトウェア株式会社

兵庫県伊丹市中央3丁目1番17号

(72) 発明者 谷崎 文子

兵庫県伊丹市中央3丁目1番17号 三菱電機セミコンダクタソフトウェア株式会社内

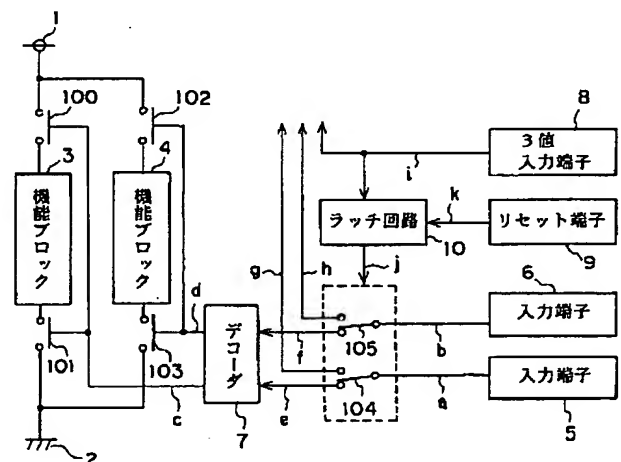
(74) 代理人 弁理士 高田 守 (外4名)

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【課題】 複数の機能ブロックに対する電源供給制御を容易に実施可能にして、入力端子を電源供給制御のための専用の端子とせずに、通常の動作モードの入力端子として併用可能にする。

【解決手段】 ラッチ回路10でラッチされる入力信号がHレベルのとき入力端子5、6からの入力信号をデコーダ7へ出力し、Mレベル、Lレベルのとき上記入力信号を通常の動作モード信号として出力させ、上記デコーダ7で上記入力信号をデコードした制御信号にもとづいて、電源切換用のスイッチ100～103に、複数の機能ブロック3、4への電源供給を切換制御させる。



100～103: 電源切換用のスイッチ
104, 105: モード切換用のスイッチ

【特許請求の範囲】

【請求項 1】 3 レベルの入力を認識することができる 3 値入力端子と、該 3 値入力端子からの入力信号をラッチするラッチ回路と、該ラッチ回路でラッチされる入力信号が、H レベルのとき入力端子からの入力信号を電源供給制御モード信号としてデコーダへ出力し、M レベル、L レベルのとき上記入力信号を通常の動作モード信号として出力するように切り換えられるモード切換用のスイッチと、上記デコーダで上記入力信号をデコードした制御信号にもとづいて、複数の機能ブロックへの電源供給を選択的に切換制御する電源切換用のスイッチとを備えたマイクロコンピュータ。

【請求項 2】 3 レベルの入力を認識することができる 3 値入力端子と、該 3 値入力端子からの入力信号をラッチするラッチ回路と、該ラッチ回路でラッチされる入力信号が H レベルのとき入力端子からの入力信号を電源供給制御モード信号としてシリアルレジスタへ出力し、M レベル、L レベルのとき上記入力信号を通常の動作モード信号として出力するように切り換えられるモード切換用のスイッチと、上記シリアルレジスタに一時的に格納した上記入力信号のシリアルデータをデコードした制御信号にもとづいて、複数の機能ブロックへの電源供給を選択的に切換制御する電源切換用のスイッチとを備えたマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数の機能ブロックを持つマイクロコンピュータに関するものである。

【0002】

【従来の技術】複数の機能ブロックを持つマイクロコンピュータにおいては、省電力化を図るために各機能ブロックへの電源供給を制御するものがある。また、このような電源供給の制御によれば、上記の省電力化に加えて、電源電流過大等の不良箇所を特定する不良解析の観

点からもメリットがある。

【0003】そして、従来からこの電源供給の制御をソフトウェアによって行っているものがあるものの、この場合には予めプログラムした内容の制御しかできない。

【0004】特にマスク ROM を内蔵するマイクロコンピュータでは、一旦プログラム化した内容の変更はできないため、不良解析時には不便である。また、マイクロプロセッサ (CPU) を使用するため、このマイクロプロセッサに不具合があった場合の制御は不可能である。

【0005】図 3 はかかる従来のマイクロコンピュータを示すブロック図であり、図において、1 は正電源、2 は接地電源、15 はマイクロプロセッサ、3、4 はそれぞれ独立した機能ブロックであり、これらの各機能ブロック 3、4 は後述のレジスタの出力を受けてオン、オフする電源切換用のスイッチ 100、101 および電源切換用のスイッチ 102、103 を介して、上記正電源および接地電源 2 間に接続されている。

【0006】つまり、電源切換用のスイッチ 100、102 はそれぞれ各機能ブロック 3、4 と正電源 1 とを接続し、電源切換用のスイッチ 101、103 はそれぞれ各機能ブロック 3、4 と接地電源 2 とを接続している。

【0007】そして 14 は上記のレジスタであり、マイクロプロセッサ 15 から信号線 p を介して書き込まれたデータに従って、上記電源切換用のスイッチ 100～103 の動作を制御するための制御信号 c、d を出力する。

【0008】すなわち、このレジスタ 14 は、表 1 に示すように、マイクロプロセッサ 15 から信号を受けて制御信号 c、d を出力し、このため、各電源切換用のスイッチ 100～103 は制御信号 c、d が H レベルのときに ON、L レベルのときに OFF するものとしてある。

【0009】

【表 1】

マイクロ プロセッサ	制御信号		スイッチ 100	スイッチ 101	スイッチ 102	スイッチ 103
	c	d				
00	L	L	OFF	OFF	OFF	OFF
01	L	H	OFF	OFF	ON	ON
10	H	L	ON	ON	OFF	OFF
11	H	H	ON	ON	ON	ON

【0010】次に動作について説明する。いま、上記マイクロプロセッサ 15 からレジスタ 14 に例えばデータ “01” を書き込むと、制御信号 c は L レベル、d は H レベルになるので、電源切換用のスイッチ 100、101 が OFF となる。従って機能ブロック 3 と正電源 1 および接地電源 2 とが切り離され、機能ブロック 3 への電源供給が停止する。

【0011】これに対し、上記電源切換用のスイッチ 1

02、103 は ON となるため、機能ブロック 4 は正電源 1 および接地電源に接続されて、この機能ブロック 4 への電源供給が開始される。つまり、各機能ブロック 3、4 に対する電源供給が独立に制御される。

【0012】また、別の従来技術として、電源供給制御用の専用外部端子を設けて外部からの制御を可能にした電源供給制御装置がある。これは各機能ブロックへの電源供給制御をソフトウェアによることなく外部から行え

るため制御が容易であるが、専用端子が必要となるため、端子数の少ないマイクロコンピュータにおいては適用に無理がある。

【0013】図4はこのような従来の電源供給制御装置を示すブロック図であり、図3に示したものと同一の構成部分には同一符号を付して、その重複する説明を省略する。図4において、5、6は電源切換用のスイッチ100～103を制御するための制御入力の入力端子であり、各入力端子5、6からの制御入力a、bはデコーダ7に入力されるようになっている。

【0014】このデコーダ7は上記制御入力a、bを入

制御入力		制御信号		スイッチ	スイッチ	スイッチ	スイッチ
a	b	c	d	100	101	102	103
L	L	L	L	OFF	OFF	OFF	OFF
L	H	L	H	OFF	OFF	ON	ON
H	L	H	L	ON	ON	OFF	OFF
H	H	H	H	ON	ON	ON	ON

【0017】次に動作について説明する。いま、入力端子5の制御入力aがLレベル、入力端子6の制御入力bがHレベルであるとき、制御信号cはLレベル、制御信号dはHレベルとなる。

【0018】従って、電源切換用のスイッチ100、101はOFFであり、電源切換用のスイッチ102、103はONとなる。すなわち、機能ブロック3への電源供給は遮断され、機能ブロック4のみに電源が供給される。

【0019】なお、図4に示すような電源供給制御装置に類似する技術が例えば特開平6-232349号公報などに示されている。

【0020】

【発明が解決しようとする課題】従来のマイクロコンピュータや電源供給制御装置は以上のように構成されているので、図3の従来例では、各機能ブロックへの電源供給制御をソフトウェアで行うため、予めプログラムした内容の制御しかできないばかりか、特に、マスクROMを内蔵したものでは、プログラムの内容の変更ができず、不良解析には不便であり、また、マイクロプロセッサ自体に不具合が生じると、電源制御が不可能になるなどの問題点があった。

【0021】また、図4の従来例では、各機能ブロックへの電源供給をソフトウェアによらずに外部から行えるため、電源供給制御が容易となるものの、専用端子が必要となることで、端子数の少ないマイクロコンピュータへの適用に困難があるなどの問題点があった。

【0022】この発明は上記のような問題点を解消するためになされたもので、ソフトウェアによらずに複数の機能ブロックに対する電源供給制御を容易に実施可能にして、不良箇所の解析を容易化できるとともに、入力端

力としてこれをデコードし、電源切換用のスイッチ100～103を制御するための制御信号c、dを出力する。

【0015】すなわち、上記デコーダ7は表2に示すように、制御入力a、bを受けて制御信号c、dを出力し、このため、電源切換用のスイッチ100～103は（制御信号c、dがHレベルのときにON、Lレベルのとき）表2に示すようにON、OFFするものとしてある。

【0016】

【表2】

子を電源供給制御のための専用の端子とせず、通常の動作モードの入力端子と併用できるマイクロコンピュータを得ることを目的とする。

【0023】また、この発明は電源供給制御のための入力端子をより少ない数の通常の動作モード用の入力端子で兼用でき、特に、端子数に余裕のないマイクロコンピュータへの利用を実現できるマイクロコンピュータを得ることを目的とする。

【0024】

【課題を解決するための手段】請求項1の発明に係るマイクロコンピュータは、3レベルの入力を認識することができる3値入力端子と、該3値入力端子からの入力信号をラッチするラッチ回路と、該ラッチ回路でラッチされる入力信号が、Hレベルのとき入力端子からの入力信号を電源供給制御モード信号としてデコーダへ出力し、Mレベル、Lレベルのとき上記入力信号を通常の動作モード信号として出力するように切り換えられるモード切換用のスイッチとを設け、上記デコーダで上記入力信号をデコードした制御信号にもとづいて、電源切換用のスイッチに、複数の機能ブロックへの電源供給を選択的に切換制御させるようにしたものである。

【0025】請求項2の発明に係るマイクロコンピュータは、ラッチ回路でラッチされる入力信号がHレベルのとき入力端子からの入力信号を電源供給制御モード信号としてシリアルレジスタへ出力し、Mレベル、Lレベルのとき上記入力信号を通常の動作モード信号として出力するように切り換えられるモード切換用のスイッチを設けて、上記シリアルレジスタに一時的に格納した上記入力信号のシリアルデータをデコードした制御信号にもとづいて、電源切換用のスイッチに、複数の機能ブロックへの電源供給を選択的に切換制御させるようにしたもの

である。

【0026】

【作用】請求項1の発明におけるマイクロコンピュータは、3値入力端子からの入力が高レベルであるとき、リセット入力信号の立ち上がりでこれをラッチし、マイクロコンピュータに電源供給モードに入らせ、モード切替用のスイッチを介して入力端子から入力される制御入力をデコードした制御信号により、複数の機能ブロックのいずれかへの電源供給を可能にし、電力損失を抑える。

【0027】また、3値入力端子からの入力が高レベルまたはLレベルである場合には、上記モード切替用のスイッチを介して上記入力端子からの入力を通常の入力信号として別の信号線へ導出可能にして利用可能にする。つまり、入力端子を電源供給制御の専用端子とする必要をなくし、電源供給制御モード以外には通常の入力端子として利用可能にする。

【0028】また、請求項2の発明におけるマイクロコンピュータは、電源供給制御モードにおいて、モード切替用のスイッチを介して入力端子からの制御入力をシリアルレジスタにシリアルデータとして一時格納し、このシリアルレジスタの下位ビットおよび上位ビットに応じた制御信号をデコーダを介して得て、この制御信号により複数の機能ブロックのいずれかに電源供給を行えるようにする。これにより、シリアルレジスタの使用によって必要とする上記入力端子を1本ですませることを可能にする。

【0029】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の一形態を図について説明する。図1において、1は正電源、2は接地電源、3、4は機能ブロック、5、6は制御入力a、bの入力端子、7は各電源切替用のスイッチ100～103を制御する制御信号c、dを出力するデコーダであり、これらは図4に示したものと同様のものが用いられる。

【0030】また、8は3レベルの入力を認識する3値入力端子、9はリセット端子、10はリセット入力信号の立ち上がりエッジ（または立ち下がりエッジ）によって3値入力端子8の出力値をラッチするラッチ回路である。

【0031】なお、上記3値入力端子8からの3レベルのうち、Hレベルの入力信号は上記入力端子5、6からの入力信号をデコーダ7へ切替供給するのに利用され、MレベルおよびLレベルの入力信号は、マイクロコンピュータの通常の動作モードにおいて使用される。

【0032】この実施の形態のマイクロコンピュータは、上記ラッチ回路10の出力によって決定される電源

供給制御モードを持つ。

【0033】また、上記3値入力端子8からの入力信号レベルを上記のようにH、M、Lレベルとすると、これらの各入力信号は信号線iを介して通常の入力信号として認識されるほか、リセット端子9のリセット入力信号kの立ち上がりエッジによってラッチ回路10でラッチされ、電源供給制御モードの決定に使用され、モード切替用のスイッチ104、105の制御に用いられる。

【0034】そして、これらのモード切替用のスイッチ104、105は上記の電源供給制御モードの決定時に入力端子5、6からの制御入力a、bをデコーダ7へ接続し、それ以外の場合は通常の動作状態で使用される経路、つまり信号線g、hに接続する。

【0035】すなわち、これらのモード切替用のスイッチ104、105の切り換えによって、制御入力a、bは、信号線e、fを介してデコーダ7へ、あるいは信号線g、hを介して通常の経路へ出力される。

【0036】従って、この実施の形態のマイクロコンピュータでは、リセット端子9からのリセット入力信号の立ち上がりで3値入力端子8からの入力をラッチ回路10にラッチし、このラッチ回路10でラッチした出力jがHのとき、電源供給制御モードに設定され、M、Lのとき、通常動作モードに設定される。

【0037】そして、かかる電源供給制御モードでは、モード切替用のスイッチ104、105がデコーダ7側に切替接続され、通常動作モードでは、モード切替用のスイッチ104、105は通常動作時の経路である信号線g、hに接続される。

【0038】次に動作を説明する。いま、3値入力端子8からの入力が高レベルのときにリセット端子9からのリセット入力信号がLレベルからHレベルに変化したとすると、このリセット入力信号の立ち上がりによってラッチ回路10ではそのHレベルがラッチされる。

【0039】このため、この実施の形態のマイクロコンピュータは、上記のような電源供給制御モードに入り、モード切替用のスイッチ104、105をデコーダ7側に切替接続する。

【0040】従って、このような状態では例えば入力端子5の制御入力aがLレベル、入力端子6の制御入力bが高レベルであるとき、表3に示すように、信号線e上の信号はLレベル、信号線f上の信号はHレベルとなるため、制御信号cがLレベル、制御信号dが高レベルとなる。

【0041】

【表3】

信号線 e の信号	信号線 f の信号	制御信号		スイッチ 1 0 0	スイッチ 1 0 1	スイッチ 1 0 2	スイッチ 1 0 3
		c	d				
L	L	L	L	OFF	OFF	OFF	OFF
L	H	L	H	OFF	OFF	ON	ON
H	L	H	L	ON	ON	OFF	OFF
H	H	H	H	ON	ON	ON	ON

【0042】この結果、電源切換用のスイッチ100, 101はOFFとなり、電源切換用のスイッチ102, 103はONとなり、機能ブロック3への電源供給は遮断され、機能ブロック4のみに電源が供給される。

【0043】一方、上記3値入力端子8からの入力MレベルまたはLレベルのときには、上記リセット入力信号の立ち上がりによって、これらの各レベルがラッチされる。このため、マイクロコンピュータは通常の動作モードにて、各入力端子5, 6の入力を信号線g, hへ出力する。

【0044】すなわち、モード切換用のスイッチ104, 105を設けることで、入力端子5, 6が電源供給切換専用の端子である必要がなく、上記電源供給制御モード以外では、通常の入力端子として併用することができるというメリットがある。また当然、3値入力端子8もモード設定用以外に通常端子として使用できる。

【0045】実施の形態2. 図2はこの発明の他の実施の形態を示し、図1に示したものと同一の構成部分には同一符号を付して、その重複する説明を省略する。また、この実施の形態のマイクロコンピュータは、上記実施の形態1と同様にラッチ回路10の出力によって決定される電源供給制御モードを持つ。

【0046】図2において、104はラッチ回路10の出力jがHレベルとなる電源供給制御モード時に入力端子5の制御入力aを後述するシリアルレジスタ11へ供給し、それ以外の場合は通常動作時に使用される経路である信号線gに切換供給するモード切換用のスイッチである。すなわち、制御入力aは、信号線lを介してシリアルレジスタ11あるいは信号線gを介して通常の経路へ接続される。

【0047】また、11はnビットの上記シリアルレジスタであり、信号線lを介して入力される制御入力をシリアルデータとして受信し、信号線mを介して後述するデコーダ12へ一定のクロックタイミングにて送信す

る。

【0048】また、このデコーダ12は上記シリアルレジスタ11の出力mをデコードして、電源切換用のスイッチ100～103を制御する制御信号c, dを出力する。13はクロック発生回路であり、信号線oを介してシリアルレジスタ11に動作クロックを供給する。

【0049】すなわち、この実施の形態のマイクロコンピュータでは、リセット端子9からのリセット入力信号kの立ち上がりで3値入力端子8からの入力をラッチ回路10にラッチし、このラッチ回路10でラッチした出力がHのときは、電源供給制御モードに決定され、M, Lのときは、通常動作モードに決定される。

【0050】そして、このような電源供給制御モードではモード切換用のスイッチ104が信号線lを介してシリアルレジスタ11に接続され、通常動作モードでは、モード切換用のスイッチ104が通常動作時の経路に接続される。ここで、シリアルレジスタ11はn=2ビットとする。

【0051】次に動作を説明する。いま、3値入力端子8からの入力がHレベルのときにリセット端子9からの入力がLレベルからHレベルに変化したとすると、リセット入力信号の立ち上がりによってラッチ回路10ではそのHレベルがラッチされる。

【0052】このため、この実施の形態のマイクロコンピュータは電源供給制御モードに入り、モード切換用のスイッチ104をシリアルレジスタ11に接続する。

【0053】従って、例えば、上記入力端子5から入力される制御信号としてのシリアルデータの下位ビット(n=1)がL、上位ビット(n=2)がHであるとすると、デコーダ12の入力がL, Hとなるので、表4に示すように制御信号cがL、制御信号dがHとなる。

【0054】

【表4】

シリアルレジスタ 1 I		制御信号		スイッチ	スイッチ	スイッチ	スイッチ
n = 1	n = 2	c	d	1 0 0	1 0 1	1 0 2	1 0 3
L	L	L	L	OFF	OFF	OFF	OFF
L	H	L	H	OFF	OFF	ON	ON
H	L	H	L	ON	ON	OFF	OFF
H	H	H	H	ON	ON	ON	ON

【0055】この結果、電源切換用のスイッチ100、101はOFFとなり、電源切換用のスイッチ102、103はONとなり、機能ブロック3への電源供給は遮断され、機能ブロック4のみに電源が供給される。

【0056】すなわち、実施の形態1では電源供給を制御するために複数の入力端子が必要であるが、この実施の形態では入力端子5に入力されるシリアルデータを格納するシリアルレジスタ11を設けることによって、必要な入力端子が1本ですむという利点を得られる。

【0057】なお、上記実施の形態1および2では電源切換用のスイッチ100、102によって各機能ブロック3、4を正電源1と接続するか切り離すかを制御する構成としたが、正電源1と接続するか接地電源2と接続するかを制御する構成とすることも任意である。

【0058】

【発明の効果】以上のように、請求項1の発明によれば、3レベルの入力を認識することができる3値入力端子と、該3値入力端子からの入力信号をラッチするラッチ回路と、該ラッチ回路でラッチされる入力信号が、Hレベルのとき入力端子からの入力信号を電源供給制御モード信号としてデコーダへ出力し、Mレベル、Lレベルのとき上記入力信号を通常の動作モード信号として出力するように切り換えられるモード切換用のスイッチとを設け、上記デコーダで上記入力信号をデコードした制御信号にもとづいて、電源切換用のスイッチに、複数の機能ブロックへの電源供給を選択的に切換制御させるように構成したので、ソフトウェアによらずに複数の機能ブロックに対する電源供給制御を容易に実施可能にして、不良箇所の解析を容易化できるとともに、入力端子を電源供給制御のための専用の端子とせずに、通常の動作モ

ードの入力端子として併用できるものが得られる効果がある。

【0059】請求項2の発明によれば、ラッチ回路でラッチされる入力信号がHレベルのとき入力端子からの入力信号を電源供給制御モード信号としてシリアルレジスタへ出力し、Mレベル、Lレベルのとき上記入力信号を通常の動作モード信号として出力するように切り換えられるモード切換用のスイッチを設けて、上記シリアルレジスタに一時的に格納した上記入力信号のシリアルデータをデコードした制御信号にもとづいて、電源切換用のスイッチに、複数の機能ブロックへの電源供給を選択的に切換制御させるように構成したので、電源供給制御のための入力端子をより少ない数の通常の動作モード用の入力端子で兼用でき、特に、端子数に余裕のないマイクロコンピュータへの利用を実現できるものが得られる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の一形態によるマイクロコンピュータを示すブロック図である。

【図2】 この発明の他の実施の形態によるマイクロコンピュータを示すブロック図である。

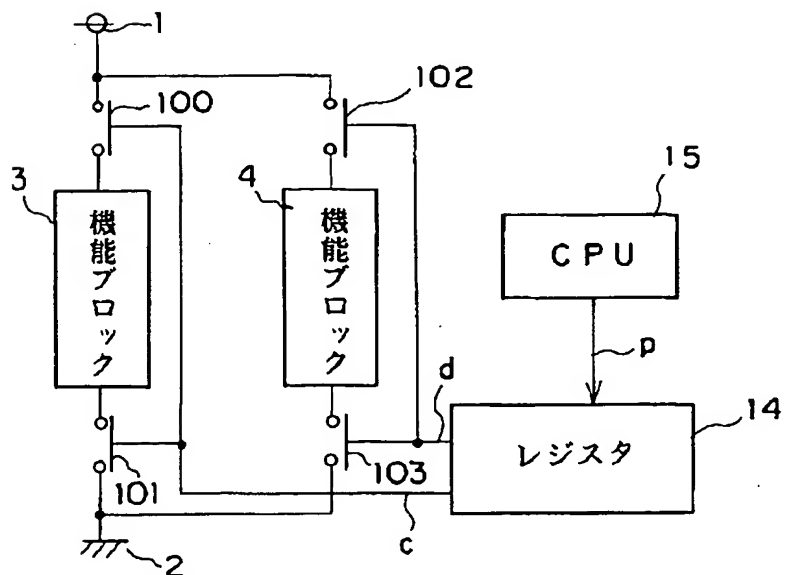
【図3】 従来のマイクロコンピュータを示すブロック図である。

【図4】 従来の電源供給制御装置を示すブロック図である。

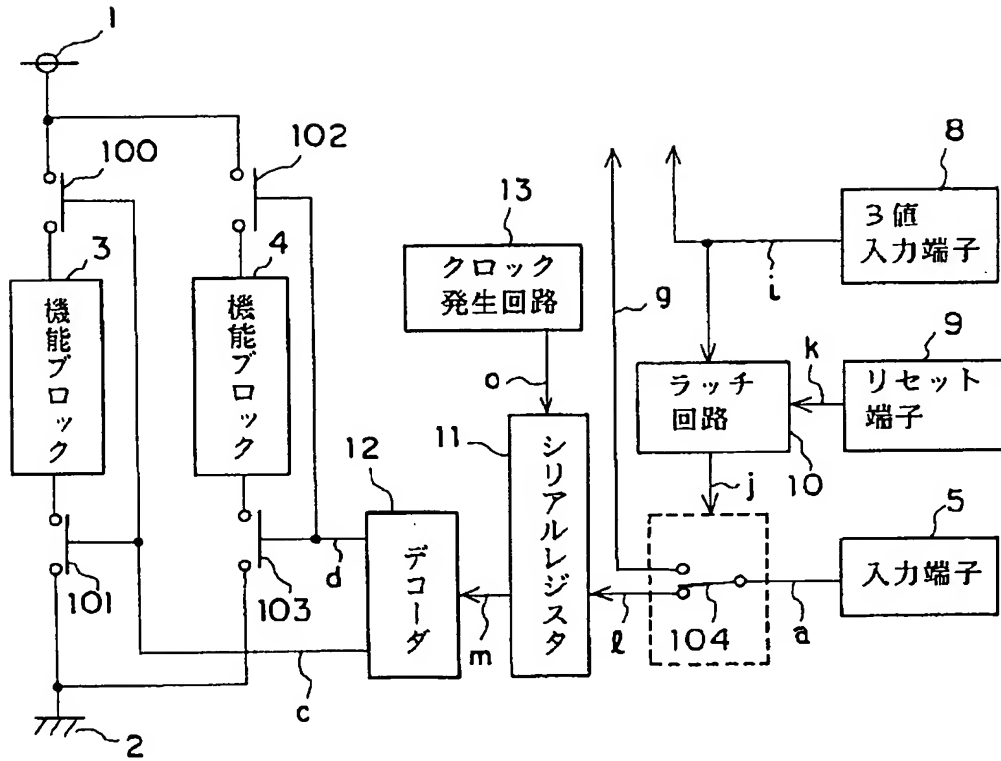
【符号の説明】

3, 4 機能ブロック、5, 6 入力端子、7, 12 デコーダ、8 3値入力端子、10 ラッチ回路、11 シリアルレジスタ、100～103 電源切換用のスイッチ、104, 105 モード切換用のスイッチ。

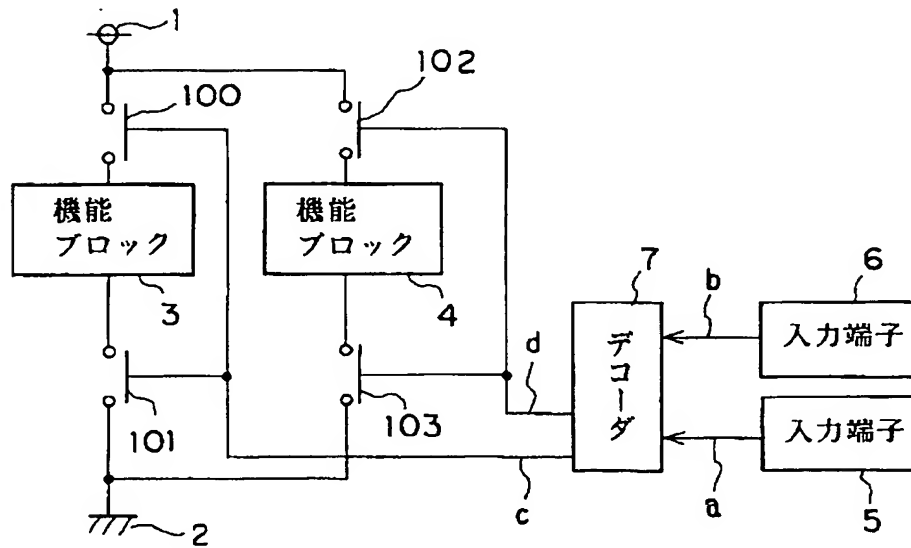
【図 3】



【図2】



【図4】



DELPHION

Log Out | Work Files | Saved Searches

RESEARCH

My Account

PRODUCTS

INSIDE DELPHION

Search: Quick/Number Boolean Advanced Derwent Help

No active trail

Select OR Stop Tracking

The Delphion Integrated View

Get Now: ☒ PDF | More choices...

View: INPADOC | Jump to: Top | Go to: Derwent

Tools: Add to Work File: | ☒ Email this to a friend

Title: JP09044277A2: MICROCOMPUTER

Derwent Title: Microcomputer with several functional blocks - has power supply switches that provide power supply switching control to several functional blocks, selectively, based on control signal which is decoded input signal from decoder [Derwent Record]

Country: JP Japan
Kind: A

Inventor: TANIZAKI FUMIKO;

Assignee: MITSUBISHI ELECTRIC CORP
MITSUBISHI DENKI SEMICONDUCTOR SOFTWARE KK
News, Profiles, Stocks and More about this company

Published / Filed: 1997-02-14 / 1995-07-25

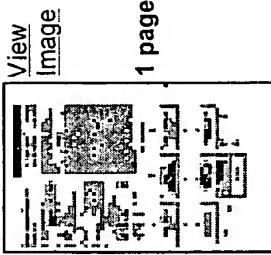
Application Number: JP1995000189322

IPC Code: G06F 1/32; G06F 15/78; H03K 19/00;

Priority Number: 1995-07-25 JP1995000189322

Abstract: PROBLEM TO BE SOLVED: To use an input terminal jointly not only as a terminal dedicated to power source supply control but also as an input terminal in an ordinary operating mode by easily executing the power source supply control to plural function blocks.

SOLUTION: When an input signal latched by a latch circuit 10 is an H level, input signals from input terminals 5 and 6 are outputted to a decoder 7 and when the input signals are at M and L levels, they are outputted as ordinary operating mode signals and based on control signals for which the input signals are decoded by the decoder 7, the switching of power source supply to plural function



View Image

1 page

blocks 3 and 4 is controlled by switches 100-103 for power source switching.

COPYRIGHT: (C)1997, JPO

None

Family:

Other Abstract

Info:



DERABS G97-184238 DERG97-184238



Nominate this for the Gallery...

THOMSON

Copyright © 1997-2005 The Thomson Corporation
Subscriptions | Web Seminars | Privacy | Terms & Conditions | Site Map | Contact Us | Help



OrderPatent

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 090442

(43) Date of publication of application: 14.02.

(51) Int. Cl. G06F 1/32
G06F 15/78, H03K 19/00

(21) Application number: 07189322

(22) Date of filing: 25.07.1995

(71) Applicant: MITSUBISHI ELECTRIC COF
MITSUBISHI DENKI
SEMICONDUCTOR SOFTWA
KK

(72) Inventor: TANIZAKI FUMIKO

(54) MICROCOMPUTER

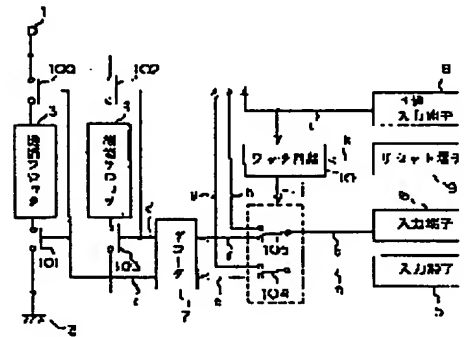
(57) Abstract:

PROBLEM TO BE SOLVED: To use an input terminal jointly not only as a terminal dedicated to power source supply control but also as an input terminal in an ordinary operating mode by easily executing the power source supply control to plural function blocks.

SOLUTION: When an input signal latched by a latch circuit 10 is an H level, input signals from input terminals 5 and 6 are outputted to a decoder 7 and when the input signals are at M and L levels, they are outputted as ordinary operating mode signals and based on control signals for which the input signals are decoded by the decoder 7, the switching of power source

supply to plural function blocks 3 and 4 is contrn switches 100-103 for power source switching.

COPYRIGHT: (C)1997,JPO





OrderPatent